

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURE

Patent Number: JP6283999
Publication date: 1994-10-07
Inventor(s): HOSOYA SHIRO; others: 01
Applicant(s):: MITSUBISHI ELECTRIC CORP
Requested Patent: ☐ JP6283999
Application Number: JP19930071457 19930330
Priority Number(s):
IPC Classification: H03L7/00 ; G06F1/10 ; H03M1/08
EC Classification:
Equivalents:

Abstract

PURPOSE:To simply minimize the influence of a noise from a digital circuit on an analog circuit by shifting the phase of a clock signal for controlling the respective circuits in the semiconductor integrated circuit device on which the digital circuit and analog circuits are both mounted in mixture.
CONSTITUTION:Four delay elements D1-D4 which differ in delay time are previously formed and a delay element having an optimum delay time is found from among those delay elements D1-D4; and the inputs of code signals X1 and X2 of a decoder 18 are properly fixed to activate only the found delay element.

.....
Data supplied from the esp@cenet database - I2

This Page Blank (uspro)

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-283999

(43)公開日 平成6年(1994)10月7日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 L 7/00	D	8730-5 J		
G 0 6 F 1/10				
H 0 3 M 1/08	A	9065-5 J		
		7165-5B		
			G 0 6 F 1/ 04	3 3 0 A
審査請求 未請求 請求項の数 4 O L (全 15 頁)				

(21)出願番号 特願平5-71457

(22)出願日 平成5年(1993)3月30日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 細谷 史郎

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

(72)発明者 伊藤 正雄

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

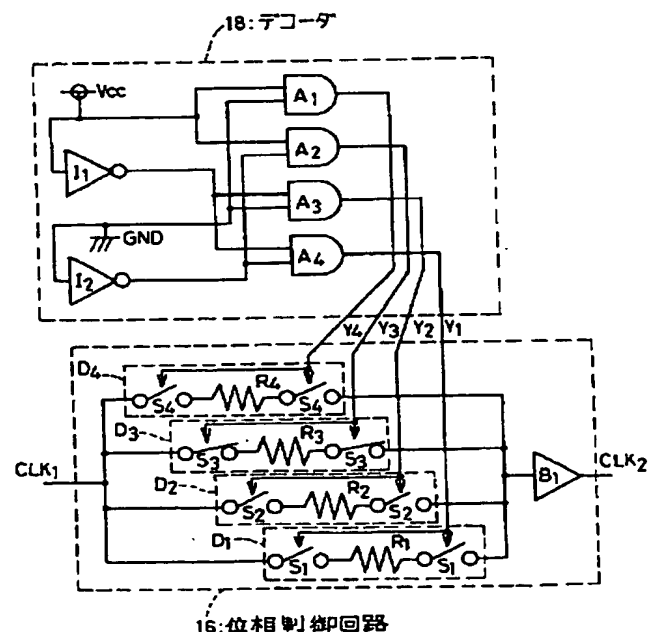
(74)代理人 弁理士 深見 久郎 (外2名)

(54)【発明の名称】 半導体集積回路装置およびその製造方法

(57)【要約】

【目的】 デジタル回路およびアナログ回路が混載された半導体集積回路装置において、各回路を制御するクロック信号の位相をシフトすることによってアナログ回路がデジタル回路から受けるノイズによる影響を簡単に最小限にできるようにする。

【構成】 異なる遅延時間を有する4つの遅延素子D1～D4を予め形成し、それら遅延素子D1～D4の中から最適の遅延時間を有するものを探し出し、デコーダ18のコード信号X1、X2の入力を適宜固定することによって、その探し出した遅延素子だけを活性化するようにした。



(2)

【特許請求の範囲】

【請求項1】 半導体集積回路装置であって、

1枚の半導体基板と、
前記半導体基板上に形成され、第1のクロック信号に基づいて動作するデジタル回路と、
前記半導体基板上に形成され、前記第1のクロック信号と同じ周期の第2のクロック信号に基づいて動作するアナログ回路と、
前記第1および第2のクロック信号の位相を相対的にシフトし得る複数の位相シフト素子を含み、それら位相シフト素子のうちいずれかが活性化されることによって、
前記第1および第2のクロック信号の位相を相対的に一定量だけシフトする位相制御手段とを含む、半導体集積回路装置。

【請求項2】 与えられたコード信号に基づいて前記位相シフト素子のいずれかを活性化するデコード手段を含む、請求項1に記載の半導体集積回路装置。

【請求項3】 1枚の半導体基板と、前記半導体基板上に形成され、第1のクロック信号に基づいて動作するデジタル回路と、前記半導体基板上に形成され、前記第1のクロック信号と同じ周期の第2のクロック信号に基づいて動作するアナログ回路とを含む、半導体集積回路装置の製造方法であって、
前記半導体基板上に、前記第1および第2のクロック信号の位相を相対的にシフトし得る複数の位相シフト素子を形成する工程と、
前記位相シフト素子のうちいずれが活性化されると、前記デジタル回路および前記アナログ回路間におけるノイズによる影響が最小になるのか探し出す工程と、
前記探し出した位相シフト素子を、前記第1および第2のクロック信号の位相を相対的にシフトするものとして、活性化し得るように固定する工程とを含む、半導体集積回路装置の製造方法。

【請求項4】 1枚の半導体基板と、前記半導体基板上に形成され、第1のクロック信号に基づいて動作するデジタル回路と、前記半導体基板上に形成され、前記第1のクロック信号と同じ周期の第2のクロック信号に基づいて動作するアナログ回路とを含む、半導体集積回路装置の製造方法であって、
試作段階と量産段階とを含む、
前記試作段階はさらに、
前記半導体基板上に、前記第1および第2のクロック信号の位相を相対的にシフトし得る複数の位相シフト素子を形成する工程と、
前記位相シフト素子のうちいずれが活性化されると、前記デジタル回路および前記アナログ回路間におけるノイズによる影響が最小になるのか探し出す工程とを含む、
前記量産段階はさらに、
前記探し出した位相シフト素子を、前記第1および第2

のクロック信号の位相を相対的にシフトするものとして、活性化し得るように固定した状態で前記複数の位相シフト素子を形成する工程を含む、
半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体集積回路装置およびその製造方法に関し、より特定的には、同一半導体基板上にアナログ回路とデジタル回路とが形成されてなるアナログーデジタル混載型の半導体集積回路装置およびその製造方法に関する。

【0002】

【従来の技術】 従来より、同一シリコンウェハ上にアナログ回路とデジタル回路とが形成されてなるLSIなどの半導体集積回路装置が提供されている。このようなアナログーデジタル混載型のLSIにおいては、デジタル回路からアナログ回路へノイズが混入するという問題がある。その対策として、たとえば配線パターン、ピン配置などを工夫する方法のほか、アナログ回路およびデジタル回路を動作させるためのクロック信号の位相を相対的にシフトする方法がある。

【0003】 たとえば電子情報通信学会研究報告ICD89-119“AD/DA変換器内蔵ビデオ信号処理LSI”の第62頁には、AD変換器と非同期にスイッチングする出力バッファをAD変換器から遠い位置に配置することによって、ノイズによる干渉を低減する方法が開示されている。

【0004】 一方、図23は、特開平3-75976号に開示されたアナログーデジタル混載型の半導体集積回路装置であるワンチップマイクロコンピュータの構成を示すブロック図である。

【0005】 図23に示されるように、このワンチップマイクロコンピュータは、CPU1a、タイマ1bなどを含むデジタル回路1と、A/Dコンバータ等を含むアナログ回路2とから構成される。

【0006】 デジタル回路1は、システムクロック信号発生部3からの第1のクロック信号CLK1に基づいて動作する。アナログ回路2は、遅延回路4により第1のクロック信号CLK1の位相が遅らされた第2のクロック信号CLK2に基づいて動作する。

【0007】 図24のタイミングチャートに示されるように、デジタル回路1では第1のクロック信号CLK1の立上がりおよび立下りに伴ってノイズが発生する。たとえばデジタル回路1およびアナログ回路2が同一電源ラインに接続されている場合、デジタル回路1で発生したノイズは、その電源ラインを介してアナログ回路2へ混入する。このノイズによる影響はアナログ回路2を誤動作させ、その性能を劣化させる。このようなデジタル回路1からアナログ回路2へのノイズによる影響は電源ラインだけでなく、シリコンウェハ内部の

(3)

よび配線を含む電磁空間などの様々な経路を介して生じる。

【0008】そこで、このマイクロコンピュータでは、アナログ回路2を動作させる第2のクロック信号CLK2の位相は、遅延回路4によって第1のクロック信号CLK1の位相よりも遅らされている。このため、アナログ回路2が誤動作することはない。

【0009】他方、図25は、特開平2-28707号に開示されたアナログーデジタル混載型の半導体集積回路装置である全二重型のモデム(MODEM)の構成を示すブロック図である。

【0010】図25に示されるように、このモデムは、メインクロックを発振する発振器5と、フリップフロップなどから構成される1/2分周器6と、送信回路7と、受信回路8とから構成される。

【0011】送信回路7および受信回路8は、それぞれデジタルPLL回路7aまたは8aと、D/Aコンバータ7bまたはA/Dコンバータ8bと、SCF(Switched Capacitor Filter)などから構成されるフィルタ群7cまたは8cとから構成される。

【0012】このモデムは、同一基板上にデジタル回路およびアナログ回路が形成され、それらに相互にシフトしたクロックを供給することによって、デジタル回路から電源ラインなどを介してアナログ回路へ混入するノイズの影響を防止するように構成されている。

【0013】

【発明が解決しようとする課題】しかしながら、実際のアナログーデジタル混載型の半導体集積回路では、アナログ回路またはデジタル回路へ印加される直前のクロック信号の位相は、配線抵抗および浮遊容量によって、外部から印加されたクロック信号の位相よりも既に遅れている。また、デジタル回路がすべて同じ位相のクロック信号に基づいて動作する場合は少なく、ほとんどの場合、種々の異なる位相を有するクロック信号に基づいて動作する。さらに、デジタル回路の内部で、異なる周波数を有する複数種類のクロック信号が生成される場合も少なくない。その他、アナログ回路およびデジタル回路が非同期で動作する場合もある。

【0014】このため、アナログ回路およびデジタル回路に印加する各クロック信号の最適な位相差を設計前に予測することは困難である。このため、アナログーデジタル混載型の半導体集積回路装置の性能を最適に設定することは極めて困難であった。

【0015】すなわち、従来は予測に基づいてアナログ回路およびデジタル回路に印加する各クロック信号の位相差が設定されていたので、アナログ回路の性能を最適にすることは困難であった。また、アナログ回路の性能を最適にするためには、何度もマスクの改訂を行ない、試行錯誤により最適の遅延時間を備えた遅延回路を形成する必要があった。

【0016】この発明の目的は、デジタル回路からアナログ回路へのノイズによる影響が可能な限り低減されたアナログーデジタル混載型の半導体集積回路を提供することである。

【0017】この発明の他の目的は、アナログ回路のクロック信号およびデジタル回路のクロック信号の位相を相対的にシフトすることによって、デジタル回路からアナログ回路へのノイズによる影響を可能な限り低減することである。

【0018】この発明のさらに他の目的は、上記クロック信号間の最適の位相差を容易に特定することである。

【0019】この発明のさらに他の目的は、可能な限り少ない枚数のマスクによってアナログ回路の性能を最適にすることである。

【0020】

【課題を解決するための手段】この発明は、要約すれば、半導体集積回路装置であって、1枚の半導体基板と、デジタル回路と、アナログ回路と、位相制御手段とを含む。デジタル回路は、半導体基板上に形成され、第1のクロック信号に基づいて動作する。アナログ回路は、半導体基板上に形成され、第1のクロック信号と同じ周期の第2のクロック信号に基づいて動作する。位相制御手段は、第1および第2のクロック信号の位相を相対的にシフトし得る複数の位相シフト素子を含み、それら位相シフト素子のうちいずれかが活性化されることによって、第1および第2のクロック信号の位相を相対的に一定量だけシフトする。

【0021】上記半導体集積回路装置はさらに、与えられたコード信号に基づいて位相シフト素子のいずれかを活性化するデコード手段を含む。

【0022】この発明の他の局面に従うと、この発明は、要約すれば、1枚の半導体基板と、デジタル回路と、アナログ回路とを含む半導体集積回路装置の製造方法であって、半導体基板上に、第1および第2のクロック信号の位相を相対的にシフトし得る複数の位相シフト素子を形成する工程と、位相シフト素子のうちいずれが活性化されると、デジタル回路およびアナログ回路間におけるノイズによる影響が最小になるのか探し出す工程と、探し出した位相シフト素子を、第1および第2のクロック信号の位相を相対的にシフトするものとして、活性化し得るように固定する工程とを含む。

【0023】この発明のさらに他の局面に従うと、この発明は、1枚の半導体基板と、デジタル回路と、アナログ回路とを含む半導体集積回路装置の製造方法であって、試作段階と量産段階とを含む。試作段階はさらに、半導体基板上に、第1および第2のクロック信号の位相を相対的にシフトし得る複数の位相シフト素子を形成する工程と、位相シフト素子のうちいずれが活性化されると、デジタル回路およびアナログ回路間におけるノイズによる影響が最小になるのか探し出す工程とを含む。

(4)

量産段階はさらに、探し出した位相シフト素子を、第1および第2のクロック信号の位相を相対的にシフトするものとして、活性化し得るように固定した状態で複数の位相シフト素子を形成する工程を含む。

【0024】

【作用】この発明に従った半導体集積回路装置は、複数の位相シフト素子のうちいずれかを活性化することによって、第1および第2のクロック信号の位相を相対的に一定量だけシフトするように構成されているので、ディジタル回路およびアナログ回路間におけるノイズによる影響が最小になるようにそれらクロック信号間の位相差を設定することができる。

【0025】この発明に従った半導体集積回路装置の製造方法は、ディジタル回路およびアナログ回路間におけるノイズによる影響が最小になる位相シフト素子を探し出し、その探し出した位相シフト素子を第1および第2のクロック信号の位相を相対的にシフトするものとして固定しているので、ディジタル回路およびアナログ回路の性能が最適化された半導体集積回路装置を容易に製造することができる。

【0026】また、この発明に従った半導体集積回路装置の他の製造方法は、試作段階でアナログ回路およびディジタル回路間におけるノイズによる影響が最小になる位相シフト素子を探しておき、量産段階でその探し出した位相シフト素子を固定した状態で複数の位相シフト素子を形成しているので、試作段階から量産段階へ移行するときに少なくとも一度マスクの改訂を行なうだけでディジタル回路およびアナログ回路の性能が最適化された半導体集積回路装置を製造することができる。

【0027】

【実施例】次に、この発明に従った半導体集積回路装置およびその製造方法の実施例について図面を参照して詳しく説明する。

【実施例1】図1は、この発明に従った第1実施例であるアナログーディジタル混載型の半導体集積回路装置の試作段階における構成を示すブロック図である。

【0028】図1に示されるように、この半導体集積回路装置10は、ディジタル回路12、アナログ回路14、位相制御回路16、およびデコーダ18を含む。

【0029】ディジタル回路12は、クロック信号入力端子20に印加された第1のクロック信号CLK1に基づいて動作する。アナログ回路14は、位相制御回路16からの第2のクロック信号CLK2に基づいて動作する。位相制御回路16は、クロック信号入力端子20に印加された第1のクロック信号CLK1をデコーダ18からの制御信号Yにより特定される一定時間だけ遅らせ、それを第2のクロック信号CLK2として出力する。デコーダ18は、コード信号入力端子22に印加されたコード信号X1～Xkをデコードし、それを制御信号Yとして出力する。

【0030】図2は、図1に示した位相制御回路16およびデコーダ18の構成の一例を示すブロック図である。

【0031】図2に示されるように、位相制御回路16は、互いに並列に接続された4つの遅延素子D1～D4と、それら遅延素子D1～D4と直列に接続された1つのバッファB1とを含む。遅延素子D1～D4は、制御信号Y1～Y4によって開閉される2つのスイッチング素子S1～S4と、それらの間に直列に接続された1つの抵抗R1～R4とを含む。抵抗R1～R4の値はそれぞれ異なる。

【0032】デコーダ18は、2つのインバータI1およびI2と、4つのANDゲートA1～A4とを含み、コード信号入力端子22に印加されたコード信号X1およびX2を論理演算し、その結果を制御信号Y1～Y4として出力する。

【0033】次の表1はコード信号X1、X2と制御信号Y1～Y4との関係を示す真理値表である。

【0034】

【表1】

X2	X1	Y4	Y3	Y2	Y1
1	1	1	0	0	0
1	0	0	1	0	0
0	1	0	0	1	0
0	0	0	0	0	1

【0035】この表1から明らかなように、コード信号入力端子22にコード信号X1、X2が印加されると、それに対応する制御信号Y1～Y4がデコーダ18により出力される。その制御信号Y1～Y4に応答して遅延素子D1～D4のいずれかのスイッチング素子S1～S4がターンオンする。これにより、その遅延素子D1～D4は活性化される。

【0036】これら遅延素子D1～D4はさらに、その出力ノードに寄生する浮遊容量（図示せず）を含み、それら浮遊容量および抵抗R1～R4は時定数回路を構成する。それら遅延素子D1～D4の時定数は、各抵抗R1～R4の値が異なるので、すべて異なる。

【0037】したがって、位相制御回路16に入力された第1のクロック信号CLK1は、いずれかの遅延素子D1～D4により一定時間だけ遅らせ、バッファB1を介して第2のクロック信号CLK2として出力される。すなわち、遅延素子D1～D4は、第1のクロック信号CLK1および第2のクロック信号CLK2の位相を相対的にシフトし得る位相シフト素子である。

【0038】以上のように、まず1枚の半導体基板上にディジタル回路12およびアナログ回路14が形成されるとともに、位相制御回路16およびデコーダ18が形成される。さらに詳しくは、4つの遅延素子D1～D4

(5)

が形成される。それら遅延素子D1～D4の抵抗R1～R4の値は、設計段階である程度の予測の下に設定される。

【0039】次いで、それら遅延素子D1～D4のうちいずれが活性化されると、デジタル回路12およびアナログ回路14間におけるノイズの影響が最小になるのか探し出される。

【0040】図3は、アナログ回路14としてたとえばA/Dコンバータ14aが混載された半導体集積回路装置10を評価するための装置の構成を示すブロック図である。

【0041】図3に示されるように、A/Dコンバータ14aは、位相制御回路16からの第2のクロック信号CLK2に基づいてアナログ信号入力端子24に印加されたアナログ信号をデジタル信号に変換する。それらデジタル信号はデジタル回路12へ与えられるとともに、デジタル信号出力端子26を介して外部へ出力される。

【0042】この半導体集積回路装置10を評価するため、正弦波発生器28がアナログ信号入力端子24に接続され、スペクトルアナライザ30がD/Aコンバータ32を介してデジタル信号出力端子26に接続される。

【0043】これにより、正弦波発生器28により印加された正弦波はA/Dコンバータ14aによりA/D変換され、さらにD/Aコンバータ32によりD/A変換され、その結果がスペクトルアナライザ30により表示される。この状態でコード信号入力端子22に様々なコード信号X1～Xkが入力されると、それに基づいて位相制御回路16のいずれかの遅延素子D1～D4が活性化され、第1のクロック信号CLK1および第2のクロック信号CLK2の位相は相対的に様々なシフトされる。そして、いずれの遅延素子D1～D4が活性化されたとき、正弦波発生回路28により印加された正弦波の周波数以外の周波数が最小になるのかをスペクトルアナライザ30によって測定する。すなわち、正弦波の再現性が最も高いとき、デジタル回路12がA/Dコンバータ14aへ与えるノイズによる影響が最小で、A/Dコンバータ14aの性能は最適化される。

【0044】次に、アナログ回路14の性能が最適になる遅延素子D1～D4が第1および第2のクロック信号CLK1およびCLK2の位相を相対的にシフトするものとして固定される。

【0045】たとえばデコード信号X2が“1”で、X1が“0”のときアナログ回路14の性能が最適になると判断された場合、図4に示されるように、デコーダ18の一方の入力は電源V_{CC}に接続され、他方の入力はグランドGNDに接続される。これにより、位相制御回路16の遅延素子D3だけが活性化され、位相制御回路16に第1のクロック信号CLK1が入力されると、その

遅延素子D3が有する遅延時間だけ遅られ、第2のクロック信号CLK2として出力されることになる。

【0046】ここで、デコーダ18の入力を固定する方法について具体的に説明する。図5は、デコーダ18のインバータI1またはI2の具体的構成を示す平面図で、図6は図5に示されたインバータの回路図である。

【0047】図5および図6に示されるように、このインバータI1またはI2は、PチャネルMOSトランジスタQ1およびNチャネルMOSトランジスタQ2を含む。PチャネルMOSトランジスタQ1のソースは、電源V_{CC}に接続された電源ノード34に接続され、NチャネルMOSトランジスタQ2のソースは、グランドGNDに接続されたグランドノード35に接続されている。PチャネルMOSトランジスタQ1のドレインおよびNチャネルMOSトランジスタQ2のドレインはインバータI1またはI2の出力ノード36に接続され、それらトランジスタQ1およびQ2のゲートはインバータI1またはI2の入力ノード37に接続されている。その出力ノード37の端部にはパッド38が形成されている。

【0048】したがって、このパッド38にプローブなどを用いて電源電圧またはグランド電圧を印加することによって位相制御回路16のいずれかの遅延素子D1～D4が活性化される。

【0049】そして、アナログ回路14の性能が最適になる遅延素子D1～D4が特定され、たとえば入力ノード37に電源電圧が印加されるべきことが明らかになった場合は、図7に示されるように、試作段階で用いたマスクと異なるマスクを用いて入力ノード37aが電源ノード34に接続されるようにレイアウトされる。

【0050】以上のように、この半導体集積回路装置の製造方法によれば、デジタル回路12からアナログ回路14へのノイズによる影響が最小限になるように、第1および第2のクロック信号CLK1、CLK2の位相差を最適に設定することができる。

【0051】また、試作段階ですべての遅延素子D1～D4を活性化し得るような配線パターンにレイアウトし、量産段階でアナログ回路14の性能が最適になる遅延素子D1～D4だけを活性化し得るような配線パターンにレイアウトしているので、試作段階から量産段階へ移行するときに一度だけマスクの改訂を行えばよい。

【0052】したがって、高性能で安価なアナログ・デジタル混載型の集積回路装置を短時間で製造し、しかもアナログ回路12の性能を最適にした状態で出荷することができる。

【0053】さらにこの実施例では、デコーダ18が設けられているので、2つのコード信号X1およびX2に基づいて4つの遅延素子D1～D4のいずれかを活性化することができる。

【0054】なお、この実施例では、4つの遅延素子D1～D4のうちいずれか1つが活性化されるが、2つ以

(6)

上が活性化されてもよい。この場合、各遅延素子D1～D4の遅延量は同じでもよい。このことは、以下の実施例でも同様である。

【実施例2】図8は、この発明に従った第2実施例であるアナログーデジタル混載型の半導体集積回路装置におけるデコーダおよび位相制御回路の構成を示すブロック図である。

【0055】図8に示されるように、この位相制御回路40は、互いに直列に接続された4つの遅延素子D5～D8を含む。さらに、これら遅延素子D5～D8は、それぞれ2つのインバータI3およびI4、I5およびI6、I7およびI8、またはI9およびI10と、2つのスイッチング素子S1および*S1、S2および*S2、S3および*S3、S4および*S4とを含む。

【0056】デコーダ42は、与えられたコード信号X1およびX2を論理演算し、その結果を制御信号Y1、*Y1～Y4および*Y4として出力する。

【0057】次の表2はコード信号X1、X2と制御信号Y1～Y4との関係を表わす真理値表である。

【0058】

【表2】

X2	X1	Y4	Y3	Y2	Y1
1	1	1	1	1	1
1	0	0	1	1	1
0	1	0	0	1	1
0	0	0	0	0	1

【0059】この表2から明らかなように、デコーダ42へコード信号X1、X2が与えられると、それに対応する制御信号Y1、*Y1～Y4、*Y4がデコーダ42から出力される。スイッチング素子S1、*S1～S4、*S4は、その制御信号Y1、*Y1～Y4、*Y4にตอบสนองしてターンオンまたはターンオフする。ここで、信号の前に付されている*印は、その信号が負論理（“L”レベルのときに活性状態）であることを示す。

【0060】したがって、スイッチング素子S1～S4と、スイッチング素子*S1～S4とは交互にターンオンまたはターンオフするので、位相制御回路40を構成するインバータの有効数が変化し、全体の遅延時間が変化する。

【0061】このように、位相シフト素子はインバータなどの論理回路からなる遅延素子で構成されていてもよい。

【0062】なお、この第2実施例において、インバータI4、I6、I8、I10およびスイッチング素子*S1、*S2、*S3、*S4に代えて、トリステートバッファで構成されていてもよい。また、インバータI3～I10に代えて、抵抗で構成されていてもよい。これらについては、以下の実施例においても同様である。

【実施例3】図9は、この発明に従った第3実施例である半導体集積回路装置の位相制御回路およびデコーダの構成を示すブロック図である。

【0063】図9に示されるように、この位相制御回路44は、互いに直列に接続された4つの遅延素子D9～D12を含む。さらに、これら遅延表示D9～D12は、1つのインバータI4、I6、I8、I10と、2つのスイッチング素子S1、*S1～S4、*S4とを含む。

【0064】この位相制御回路44は、図8に示した位相制御回路40からインバータI3、I5、I7およびI9が除かれたものと同等である。なお、図中同一符号で示された部分は同一または相当部分を示し、このことは以下の図においても同様である。

【実施例4】図10は、この発明に従った第4実施例である半導体集積回路装置の位相制御回路およびデコーダの構成を示すブロック図である。

【0065】図10に示されるように、この位相制御回路46は、4つのインバータI11～I14と、4つのスイッチング素子S1～S4と、容量C1と、インバータI15とを含む。

【0066】この実施例では、1つのインバータI11～I14と、それに直列に接続されたスイッチング素子S1～S4と、容量C1とによって1つの遅延素子が構成される。それらインバータI11～I14内部の終段トランジスタのサイズが異なり、各インバータI11～I14の駆動能力が異なる。そのため、各インバータI11～I14の出力インピーダンスと容量C1とから構成されるRC回路の時定数が異なり、各遅延素子が有する遅延時間はすべて異なる。

【0067】この位相制御回路46によれば、デコーダ18からの制御信号Y1～Y4にตอบสนองしていずれかのスイッチング素子S1～S4がターンオンし、種々の遅延時間が実現される。

【0068】なお、位相制御回路46の終段にあるインバータI15は、波形整形を行なうものであり、特になくともよい。また、デコーダ18は図2に示したものと同じであるので、その真理値表も表1に示したものと同じである。さらに、容量C1は、浮遊容量により構成されてもよい。

【0069】この実施例によれば、前述した第2および第3実施例よりもその素子の数は少なくて済む。

【実施例5】図11は、この発明に従った第5実施例である半導体集積回路装置における位相制御回路の構成を示す回路図である。

【0070】図11に示されるように、この位相制御回路48は、3つのインバータI16～I18と、2つのスイッチング素子S1、S2と、容量C1と、インバータI15とを含む。

【0071】この実施例では、1つのインバータI16

(7)

だけにスイッチング素子が接続されておらず、このインバータ I 16 は常に第 1 のクロック信号 CLK1 を遅らせる。各インバータ I 16 ~ I 18 の駆動能力がすべて異なるのは、前述した第 4 実施例と同様である。

【0072】この実施例によれば、前述した第 4 実施例よりもさらにその素子の数が削減される。また、スイッチング素子 S1, S2 が 2 つであるので、コード信号（たとえばバイナリ信号）X1, X2 をそのまま利用することができ、デコーダも不要になる。

【実施例 6】図 12 は、この発明に従った第 6 実施例である半導体集積回路装置における位相制御回路の構成を示す回路図である。

【0073】図 12 に示されるように、この位相制御回路 50 は、出力インピーダンスを変化させることができるインバータ 52 と、容量 C1 とインバータ I 15 とを含む。

【0074】さらに、このインバータ 52 は、その入出力端子に接続される N チャネル MOS トランジスタ Q3 および P チャネル MOS トランジスタ Q4 を含み、さらにそれらトランジスタ Q3, Q4 の各ソースに接続された 3 つの N チャネル MOS トランジスタ Q5 ~ Q7 および P チャネル MOS トランジスタ Q8 ~ Q10 を含む。

【0075】これら 3 つのトランジスタ Q5 ~ Q7 または Q8 ~ Q10 のサイズはそれぞれ異なり、各トランジスタが有するドレイン抵抗が異なる。

【0076】したがって、トランジスタ Q6, Q7 または Q9, Q10 のゲートにコード信号 X1, X2 または *X1, *X2 を印加することによって、このインバータ 52 の出力インピーダンスを変化させることができる。そのため、このインバータ 52 の出力インピーダンスおよび容量 C1 から構成される RC 回路の時定数を変化させることができ、その結果、この位相制御回路 50 が有する遅延時間を変化させることができる。

【0077】この実施例では、負論理のコード信号 *X1, *X2 を発生するインバータが必要になるが、前述した第 5 実施例よりもさらにその素子の数が削減される。

【実施例 7】これまでの第 2 実施例ないし第 6 実施例では、基本的にゲート遅延が利用されているので、大きな遅延時間を生じさせようとすると、トランジスタのサイズが大きくなったり、インバータの数が増えるという問題がある。

【0078】図 13 は、この問題を解決するためのもので、この発明に従った第 7 実施例である半導体集積回路装置における位相制御回路 54 およびデコーダ 18 の構成を示すブロック図である。

【0079】図 13 に示されるように、この位相制御回路 54 は、駆動能力が極めて小さいインバータ I 19 と、容量 C2 と、論理しきい値の異なる 4 つのインバータ I 20 ~ I 23 と、4 つのスイッチング素子 S1 ~ S

4 と、インバータ I 15 とを含む。

【0080】この位相制御回路 54 によれば、そのインバータ I 19 および容量 C2 によって第 1 のクロック信号 CLK1 が鈍り、図 14 に示されるような電圧 V_A になる。4 つのインバータ I 20 ~ I 23 は、すべてその論理しきい値が異なるので、各インバータ I 20 ~ I 23 の出力電圧 V_B , V_C , V_D および V_E は、図 14 に示されるように、それぞれ異なるタイミングで立下がるとともに、立上る。

【0081】なお、この実施例では、インバータ I 20, I 21, I 22, I 23 の順で論理しきい値が低くなる。

【0082】また、インバータ I 19 の出力ノードにおける電圧 V_A の鈍り量は、インバータ I 19 の出力インピーダンスに依存する。したがって、図 15 に示されるように、インバータ I 19 を構成する N チャネル MOS トランジスタ Q3 および P チャネル MOS トランジスタ Q4 の各ソースに N チャネル MOS トランジスタ Q11 および P チャネル MOS トランジスタ Q12 を接続し、これらトランジスタ Q11 および Q12 の各ゲートに印加される電圧 Z1 および Z2 を制御することによって、任意の鈍り量を実現することもできる。

【実施例 8】前述した第 7 実施例ではインバータ I 19 の出力ノードにおける電圧 V_A の鈍りが非線形であるため、遅延時間を調整することが困難である。

【0083】図 16 は、この問題を解決するためになされたもので、この発明に従った第 8 実施例である半導体集積回路装置における位相制御回路およびデコーダの構成を示すブロック図である。

【0084】図 16 に示されるように、この位相制御回路 56 は、位相制御回路 54 のインバータ I 19 および容量 C2 に代えて、積分器 58 を含む。積分器 58 は、たとえばオペアンプなどから構成される積分回路、または容量および抵抗から構成される CR 回路などである。

【0085】この位相制御回路 56 によれば、図 17 に示されるように、積分器 58 の出力電圧 V_A が線形化されるので、前述した第 7 実施例と比較して遅延時間を容易に調整することができる。また、積分器 58 を構成する容量または抵抗の値を変えることによって出力電圧 V_A の波形の傾きを制御することもでき、これにより各インバータ I 20 ~ I 23 の有する遅延時間を一定時間ずつ長くすることができる。

【実施例 9】前述した第 7 および第 8 実施例では、デューティ比が変化するという問題がある。

【0086】図 18 は、このような問題を解決するためになされたもので、この発明に従った第 9 実施例である半導体集積回路装置における位相制御回路およびデコーダの構成を示すブロック図である。

【0087】図 18 に示されるように、この位相制御回路 60 は、前述した位相制御回路 56 に加えてさらに、

(8)

インバータI24およびI25と、ORゲートO1、O2、O3、O4、O5およびO6と、ANDゲートA5、A6、A7およびA8とを含む。

【0088】図19は、この位相制御回路60を構成するインバータI20、I21、I22およびI23の出力電圧 V_B 、 V_C 、 V_D および V_E と、ORゲートO1、O2、O3、O4、O5およびO6の出力電圧 V_F 、 V_H 、 V_K 、 V_J 、 V_N および V_M と、ANDゲートA5、A6、A7およびA8の出力電圧 V_G 、 V_I 、 V_L および V_O とを表わすタイムチャートである。

【0089】図19のタイムチャートに示されるように、この位相制御回路60によれば、入力された第1のクロック信号CLK1と同じデューティ比50%の第2のクロック信号CLK2が得られる。また、第2のクロック信号CLK2の遅延量は、デコーダ18によって変えることができる。

【0090】次の表3は、位相が 180° シフトされたときの遅延率を100%とした場合において、各ANDゲートA5、A6、A7およびA8の出力電圧 V_G 、 V_I 、 V_L および V_O の遅延率およびデューティ比を表わす。

【0091】

【表3】

	遅延率	デューティ比
V_G	20%	50%
V_I	40%	50%
V_L	60%	50%
V_O	100%	50%

【0092】ここで、位相を $180^\circ \sim 360^\circ$ の間でシフトする場合は、第1のクロック信号CLK1の反転信号*CLK1を利用して、上記位相制御回路60と同じ回路に構成すればよい。

【0093】なお、遅延時間をどのような範囲で変化させるかは設計段階で決定される。これまでの実施例では、遅延時間の異なる4種類の遅延素子が用いられているが、設計段階における判断によって、遅延素子の数、および遅延時間は適宜決定される。

【実施例10】図20は、この発明に従った半導体集積回路装置の第10実施例を示すブロック図である。

【0094】図20に示されるように、この半導体集積回路装置62は、デジタル回路12、アナログ回路14、位相制御回路16、およびデコーダ18を含む。この第10実施例が上記第1実施例と異なるところは、第1実施例ではアナログ回路14に入力されるクロック信号をデジタル回路12に入力されるクロック信号より

も遅らせたのに対して、この第10実施例ではアナログ回路14に入力される第2のクロック信号CLK2の位相よりもデジタル回路12に入力される第1のクロック信号CLK1の位相を遅らせているところである。

【0095】この位相制御回路16は、クロック信号入力端子20に印加された第2のクロック信号CLK2を一定時間だけ遅らせ、それを第1のクロック信号CLK1として出力する。

【0096】この実施例から明らかなように、位相が遅らされるクロック信号は、アナログ回路またはデジタル回路のいずれに入力されるクロック信号でもよい。

【実施例11】図21は、この発明に従った第11実施例である半導体集積回路装置の構成を示すブロック図である。

【0097】図21に示されるように、この半導体集積回路装置64は、デジタル回路12、アナログ回路14、第1および第2の位相制御回路16aおよび16b、およびデコーダ18を含む。この第11実施例が上記第1および第10実施例と異なるところは、デジタル回路12に入力される第1のクロック信号CLK1およびアナログ回路14に入力される第2のクロック信号CLK2ともに遅らされているところである。すなわち、クロック信号入力端子20に印加された基準クロック信号CLK0は、第1の位相制御回路16aにより一定時間だけ遅らされ、第1のクロック信号CLK1として出力されるとともに、基準クロック信号CLK0は、第2の位相制御回路16bにより一定時間だけ遅らされ、第2のクロック信号CLK2として出力される。第1および第2の位相制御回路16aおよび16bの遅延時間は、デコーダ18からの制御信号Xによって制御される。

【0098】この実施例から明らかなように、第1および第2のクロック信号CLK1およびCLK2の位相をそれぞれ異なる時間だけ遅らせることによって、それらの位相を相対的に一定量だけシフトするようにしてもよい。

【実施例12】図22は、この発明の第12実施例である半導体集積回路装置の構成を示すブロック図である。

【0099】図22に示されるように、この半導体集積回路装置66は、デジタル回路12、アナログ回路14、位相制御回路16、およびデコーダ18を含む。

【0100】この第12実施例が上記第1ないし第3実施例と異なるところは、アナログ回路14がクロック信号によって制御されていないところである。このアナログ回路14は、入力端子68からのアナログ入力信号を処理し、その結果をアナログ出力信号として出力端子70から外部へ出力する。

【0101】この場合、アナログ回路14はクロック信号によって制御されていないので、デジタル回路12からのノイズによる干渉を低減できないようにも考えら

(9)

れるが、そのアナログ出力信号が、クロック信号によって制御された外部のアナログ回路に入力される場合は、その外部のアナログ回路に入力される第2のクロック信号CLK2の位相と、ディジタル回路12に入力される第1のクロック信号CLK1の位相とをシフトすることによって、その外部のアナログ回路の性能を最適化することができる。

【0102】このように、ディジタル回路と同一基板上に形成されたアナログ回路はクロック信号に基づいて動作しなくても、そのアナログ回路に接続される外部のアナログ回路がクロック信号によって制御されている場合は、それらクロック信号の位相を相対的にシフトすることによって、ディジタル回路がアナログ回路へ与えるノイズによる影響を最小限に抑えることができる。

【0103】

【発明の効果】この発明に従った半導体集積回路装置は、ディジタル回路を制御する第1のクロック信号と、アナログ回路を制御する第2のクロック信号との位相を相対的にシフトし得る複数の位相シフト素子を予め用意しておき、それら位相シフト素子のうちいずれかを活性化することによってその位相を相対的に一定量だけシフトするように構成されているので、いかなる構成のアナログーディジタル混載型の半導体集積回路装置であってもディジタル回路およびアナログ回路間におけるノイズによる影響を最小限に低減することができ、それら回路の性能を常に最適化することができる。

【0104】一方、この発明に従った半導体集積回路装置の製造方法は、ディジタル回路を制御する第1のクロック信号と、アナログ回路を制御する第2のクロック信号との位相を相対的にシフトし得る位相シフト素子を予め複数形成しておき、その位相シフト素子の中からディジタル回路およびアナログ回路間におけるノイズによる影響が最小になる位相シフト素子を探し出し、それを固定するようにしているので、ディジタル回路およびアナログ回路が常に最適に動作する半導体集積回路装置を極めて容易に製造することができる。

【0105】また、この発明に従った半導体集積回路装置の製造方法は、試作段階で最適の位相シフト量を備えた位相シフト素子を探し出し、量産段階でその探し出した位相シフト素子を固定した状態で複数の位相シフト素子を形成するようにしているので、試作段階から量産段階へ移行するときに少なくとも一度だけマスクの改訂を行なうだけでよく、極めて簡単にディジタル回路およびアナログ回路を制御するクロック信号の位相を最適にシフトしたアナログーディジタル混載型の半導体集積回路装置を製造することができる。

【図面の簡単な説明】

【図1】この発明の第1実施例による半導体集積回路装置の構成を示すブロック図である。

【図2】図1に示された半導体集積回路装置の位相制御

回路およびデコーダの具体的な構成を示す回路図である。

【図3】この発明の第1実施例による半導体集積回路装置の製造方法において、最適の遅延時間を有する遅延素子を探し出す方法を説明するためのブロック図である。

【図4】図1および図2に示された半導体集積回路装置において、最適の遅延時間を有する遅延素子が活性化された状態のデコーダおよび位相制御回路を示す回路図である。

【図5】図2および図4に示されたインバータの具体的な構成を示す平面図である。

【図6】図5に示されたインバータの回路図である。

【図7】図5に示されたインバータの配線パターンを量産用の配線パターンに変更した様子を示す平面図である。

【図8】この発明の第2実施例による半導体集積回路装置における位相制御回路およびデコーダを示すブロック図である。

【図9】この発明の第3実施例による半導体集積回路装置における位相制御回路およびデコーダを示すブロック図である。

【図10】この発明の第4実施例による半導体集積回路装置における位相制御回路およびデコーダを示すブロック図である。

【図11】この発明の第5実施例による半導体集積回路装置における位相制御回路を示す回路図である。

【図12】この発明の第6実施例による半導体集積回路装置における位相制御回路を示す回路図である。

【図13】この発明の第7実施例による半導体集積回路装置における位相制御回路およびデコーダを示すブロック図である。

【図14】図13に示された位相制御回路の動作を示すタイムチャートである。

【図15】図13に示された位相制御回路を構成する入力段のインバータの具体的な構成を示す回路図である。

【図16】この発明の第8実施例による半導体集積回路装置における位相制御回路およびデコーダを示すブロック図である。

【図17】図16に示された位相制御回路の動作を示すタイムチャートである。

【図18】この発明の第9実施例による半導体集積回路装置における位相制御回路およびデコーダを示すブロック図である。

【図19】図18に示された位相制御回路の動作を示すタイムチャートである。

【図20】この発明の第10実施例による半導体集積回路装置の構成を示すブロック図である。

【図21】この発明の第11実施例による半導体集積回路装置の構成を示すブロック図である。

【図22】この発明の第12実施例による半導体集積回

(10)

路装置の構成を示すブロック図である。

【図23】従来のアナログーデジタル混載型半導体集積回路装置の一例を示すブロック図である。

【図24】図23に示された半導体集積回路装置の動作を説明するためのタイミングチャートである。

【図25】従来のアナログーデジタル混載型半導体集積回路装置の他の例を示すブロック図である。

【符号の説明】

10、62、64、66 半導体集積回路装置

12 デジタル回路

14 アナログ回路

16、16a、16b、40、44、46、48、50、54、56、60位相制御回路

18、42 デコーダ

CLK1 第1のクロック信号

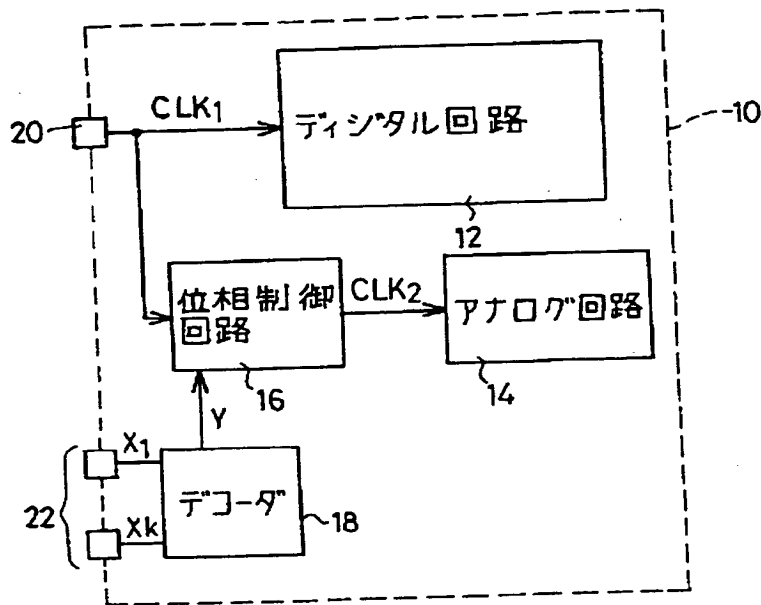
CLK2 第2のクロック信号

X1～Xk コード信号

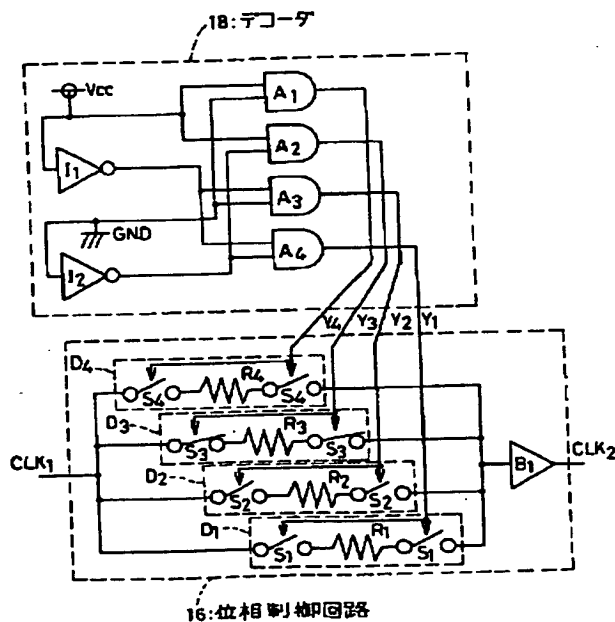
D1～D4 遅延素子

R1～R4 抵抗

【図1】

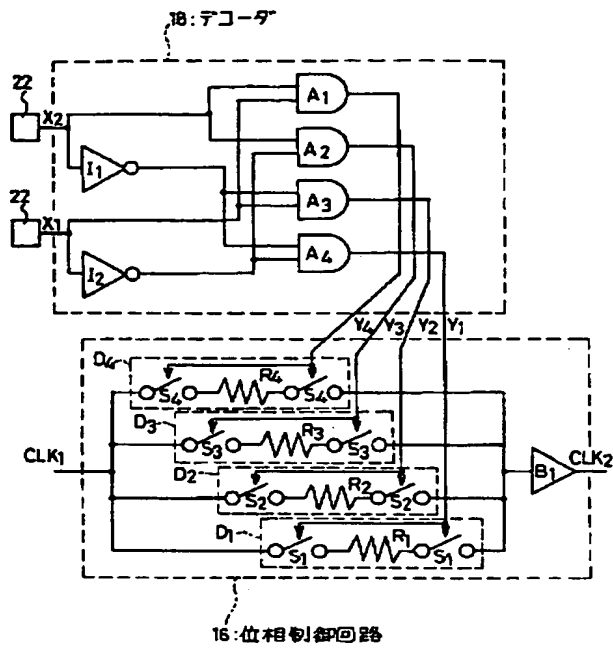


【図4】

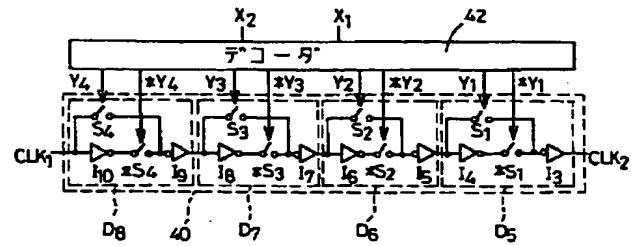


(11)

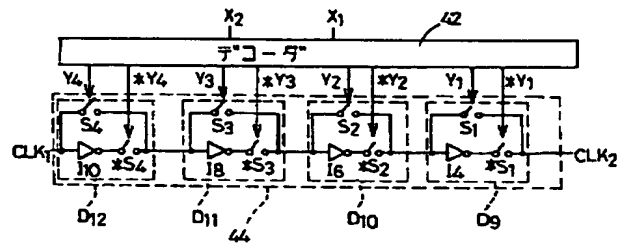
【図2】



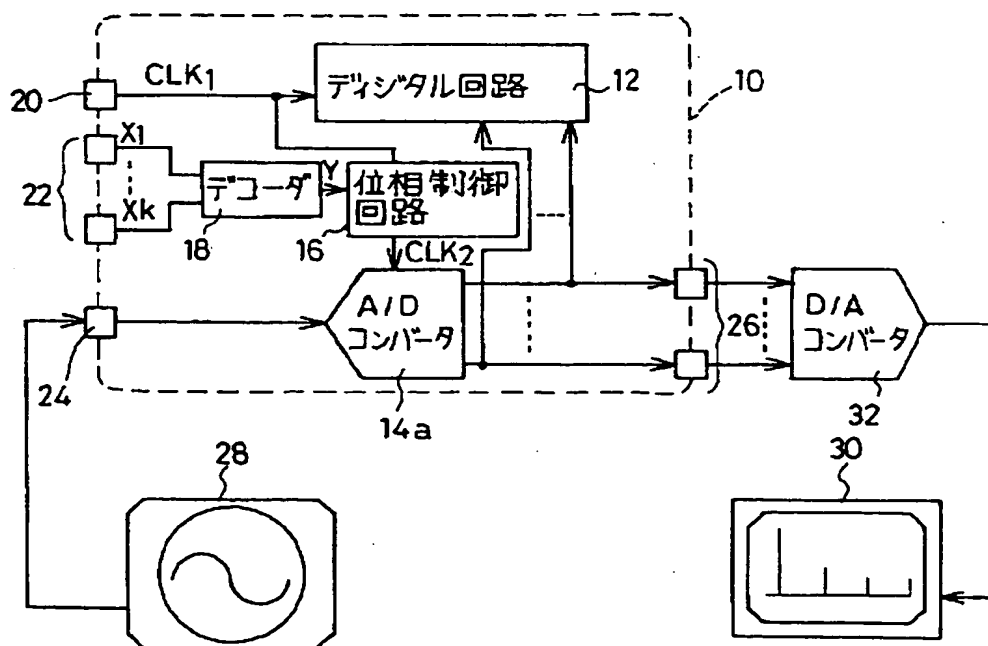
【図8】



【図9】

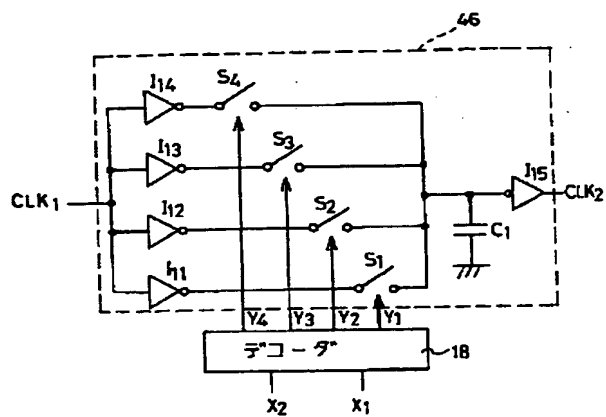


【図3】

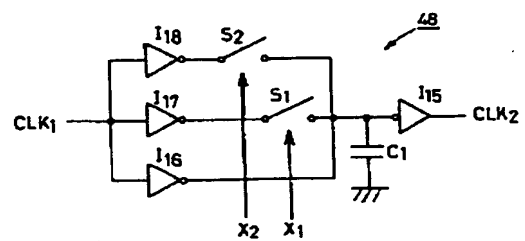


(12)

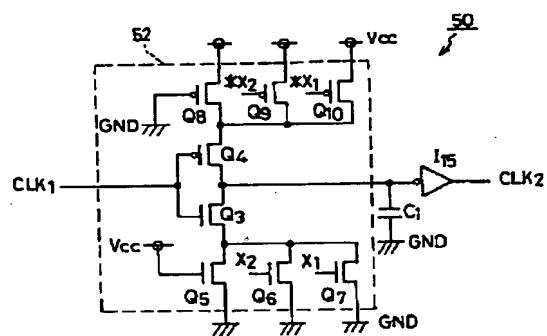
【図10】



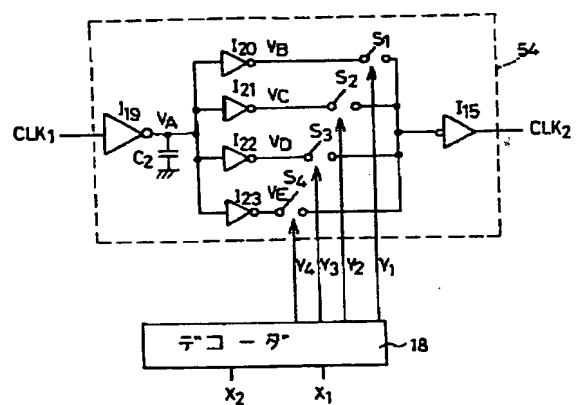
【図11】



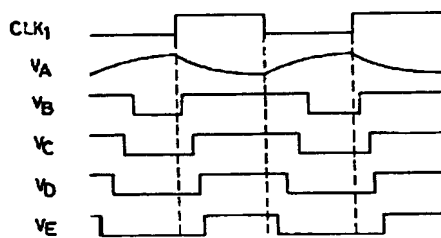
【図12】



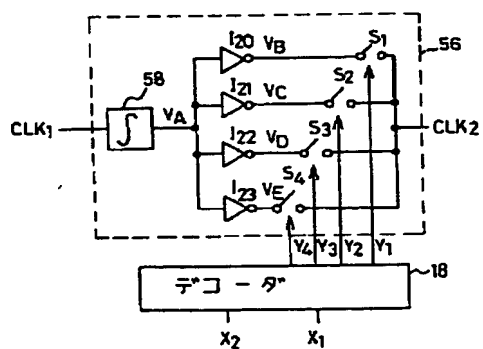
【図13】



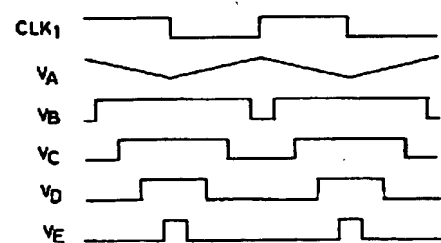
【図14】



【図16】

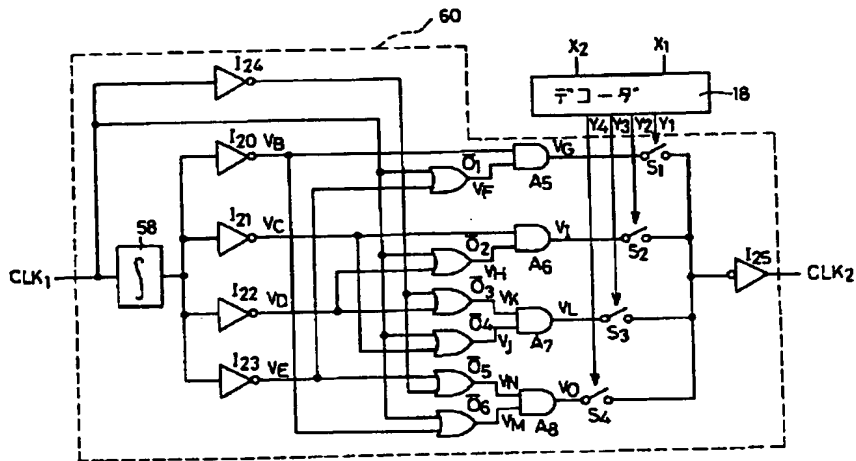


【図17】

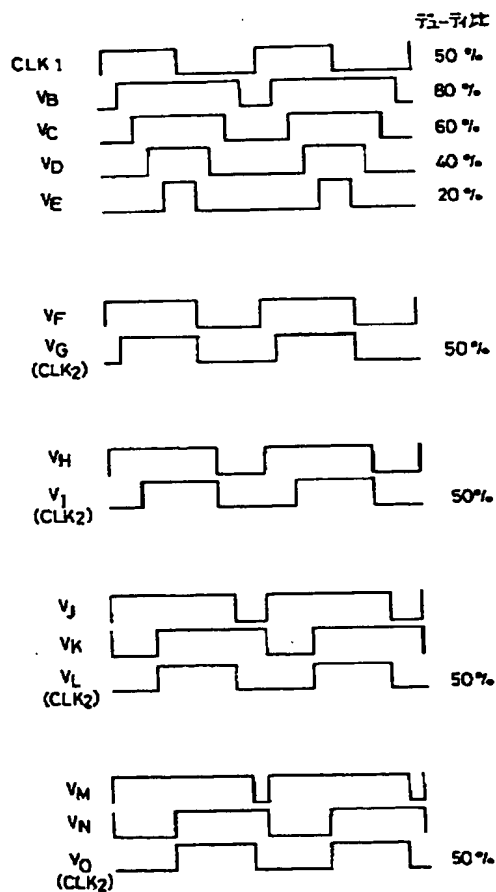


(13)

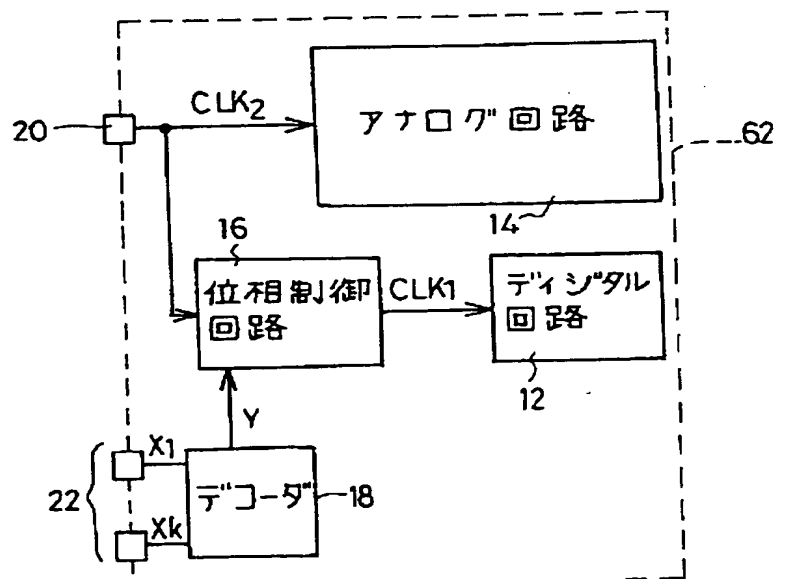
【図18】



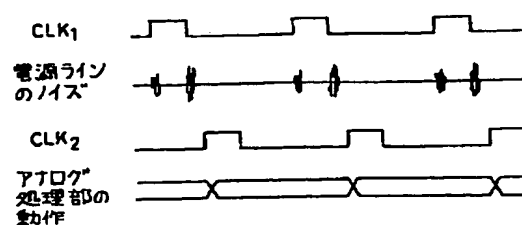
【図19】



【図20】

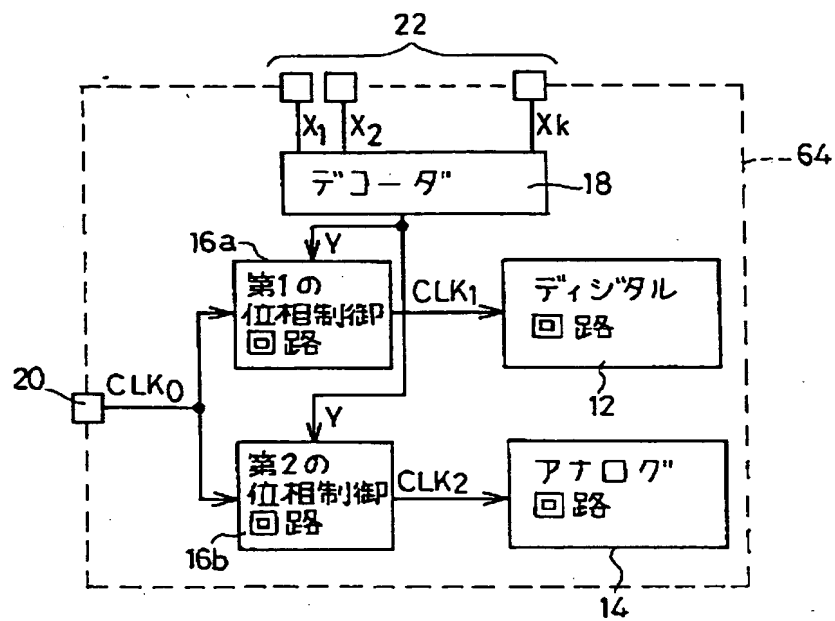


【図24】

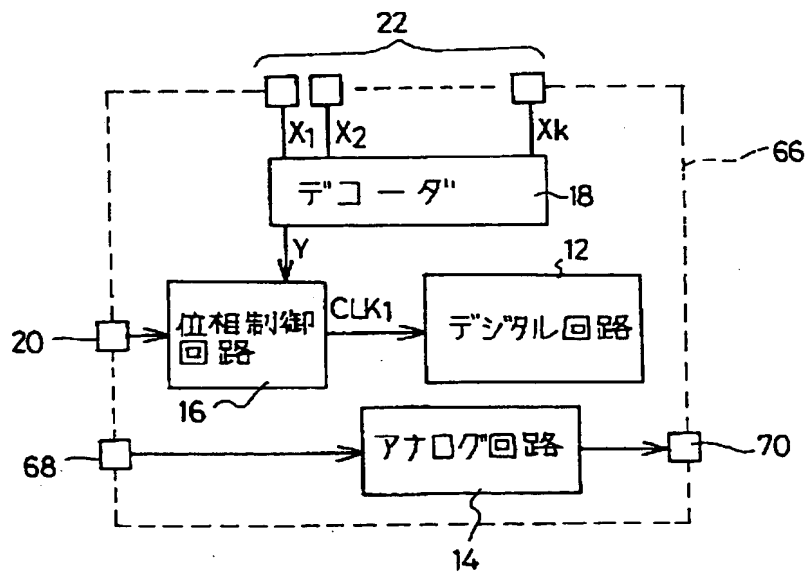


(14)

【図21】

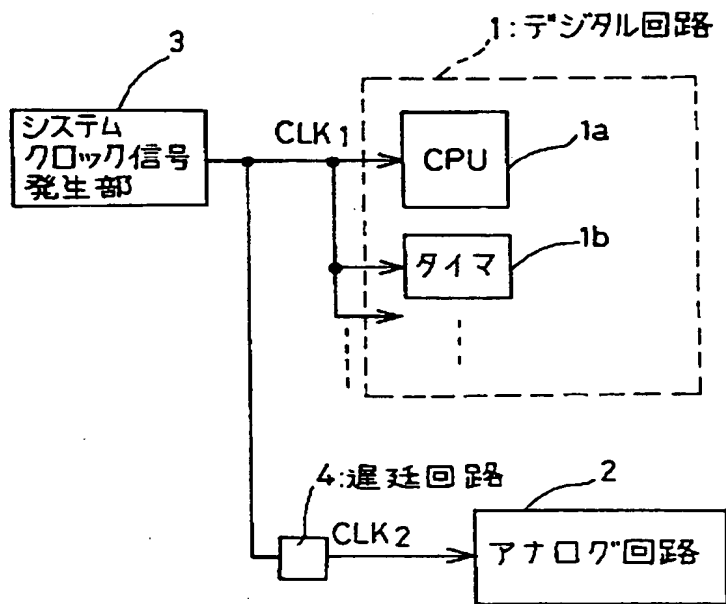


【図22】

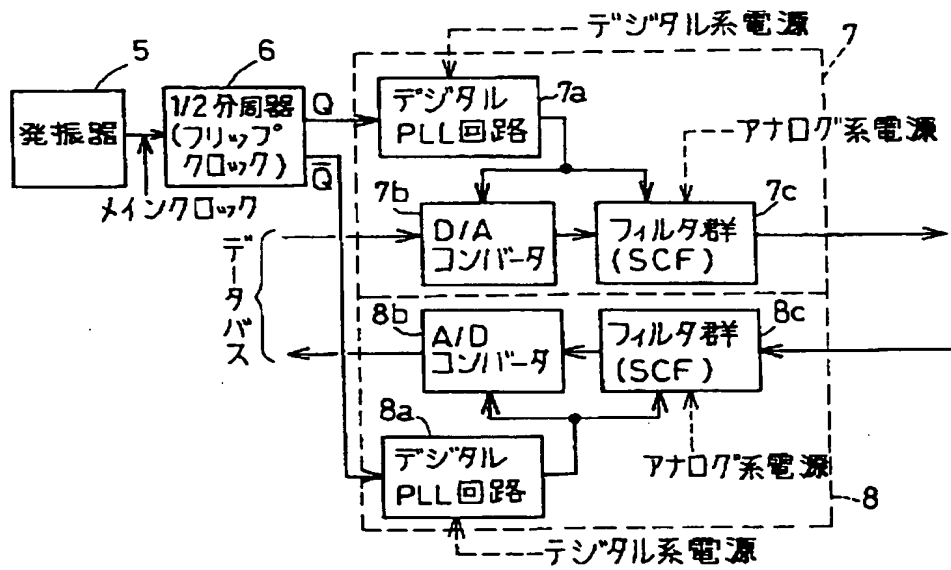


(15)

【図23】



【図25】



This Page Blank (uspto)